

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-175029
(P2002-175029A)

(43) 公開日 平成14年6月21日 (2002.6.21)

(51) Int.Cl. ⁷	識別記号	F I	テームコード [*] (参考)
G 0 9 F 9/30	3 6 5	G 0 9 F 9/30	3 6 5 Z 3 K 0 0 7
H 0 1 L 21/20		H 0 1 L 21/20	5 C 0 9 4
21/336		27/08	3 3 1 E 5 F 0 4 8
27/08	3 3 1	H 0 5 B 33/14	A 5 F 0 5 2
29/786		H 0 1 L 29/78	6 1 4 5 F 1 1 0

審査請求 未請求 請求項の数18 O L (全 20 頁) 最終頁に続く

(21) 出願番号 特願2001-279802 (P2001-279802)
(22) 出願日 平成13年9月14日 (2001.9.14)
(31) 優先権主張番号 特願2000-300982 (P2000-300982)
(32) 優先日 平成12年9月29日 (2000.9.29)
(33) 優先権主張国 日本 (J P)

(71) 出願人 000001889
三洋電機株式会社
大阪府守口市京阪本通2丁目5番5号
(72) 発明者 安齋 勝矢
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内
(72) 発明者 古宮 直明
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内
(74) 代理人 100075258
弁理士 吉田 研二 (外2名)

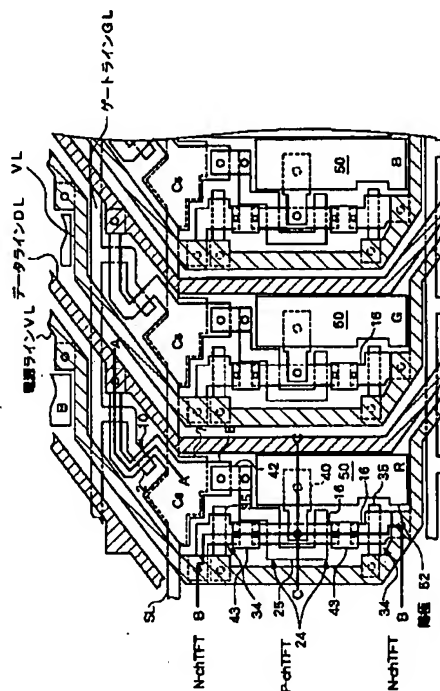
最終頁に続く

(54) 【発明の名称】 半導体装置及び表示装置

(57) 【要約】

【課題】 複数の有機 E L 素子への供給電流ばらつきを低減する。

【解決手段】 有機 E L 素子 5 0 と電源ライン V L との間に、電源ライン V L から供給する電流量を制御する素子駆動用 T F T 2 0 を備え、T F T 2 0 のチャネル長方向を、画素の長手方向、又は T F T 2 0 を制御するスイッチング用 T F T 1 0 にデータ信号を供給するデータライン D L の延在方向、又は T F T 2 0 の能動層 1 6 を多結晶化するためのレーザアニールの走査方向に平行な方向に配置する。さらに電源ライン V L と T F T 2 0 の間に T F T 2 0 と逆特性の補償用 T F T 3 0 を備えていても良い。



【特許請求の範囲】

【請求項 1】 ゲート信号をゲートに受けて動作し、データ信号を取り込むスイッチング用薄膜トランジスタと、

駆動電源と被駆動素子との間に設けられ、前記スイッチング用薄膜トランジスタから供給されるデータ信号に応じ、前記駆動電源から前記被駆動素子に供給する電力を制御する素子駆動用薄膜トランジスタと、を有し、さらに、前記駆動電源と前記素子駆動用薄膜トランジスタとの間には、前記素子駆動用薄膜トランジスタと逆導電特性の補償用薄膜トランジスタが設けられていることを特徴とする半導体装置。

【請求項 2】 請求項 1 に記載の半導体装置において、前記補償用薄膜トランジスタは、前記駆動電源と前記素子駆動用薄膜トランジスタとの間に、ダイオード接続されていることを特徴とする半導体装置。

【請求項 3】 請求項 1 又は請求項 2 に記載の半導体装置において、前記素子駆動用薄膜トランジスタは、互いに並列接続された複数の薄膜トランジスタから構成されることを特徴とする半導体装置。

【請求項 4】 請求項 1 又は請求項 2 に記載の半導体装置において、前記素子駆動用薄膜トランジスタは、前記駆動電源と前記被駆動素子との間に、互いに並列接続された複数の薄膜トランジスタから構成され、前記補償用薄膜トランジスタは、前記並列接続された複数の薄膜トランジスタと、前記駆動電源との間にそれぞれ設けられていることを特徴とする半導体装置。

【請求項 5】 請求項 1 ～ 4 のいずれか一つに記載の半導体装置において、前記被駆動素子は、第 1 及び第 2 電極の間に発光層を備えて構成されるエレクトロルミネッセンス素子であることを特徴とする半導体装置。

【請求項 6】 請求項 5 に記載の装置において、前記エレクトロルミネッセンス素子は、有機化合物を発光層に用いた有機エレクトロルミネッセンス素子であることを特徴とする半導体装置。

【請求項 7】 請求項 1 ～ 6 のいずれか一つに記載の半導体装置は、マトリクス状に配置された各画素が、前記スイッチング用薄膜トランジスタと、前記素子駆動用薄膜トランジスタと、前記補償用薄膜トランジスタと、表示素子としての前記被駆動素子と、を備えたアクティブマトリクス型の表示装置に用いられていることを特徴とする半導体装置。

【請求項 8】 請求項 1 ～ 7 のいずれか一つに記載の半導体装置において、前記素子駆動用薄膜トランジスタ及び前記補償用薄膜トランジスタのチャンネル長方向は、前記スイッチング用薄

膜トランジスタに前記データ信号を供給するデータラインの延びる方向に沿うように配置されていることを特徴とする半導体装置。

【請求項 9】 マトリクス状に配置された複数の画素のそれぞれが、少なくとも、被駆動素子と、駆動電源からの電力を被駆動素子に供給する素子駆動用薄膜トランジスタと、を備えるアクティブマトリクス型の表示装置であり、前記複数の画素の各画素領域は、マトリクスの行及び列方向の辺のうちの一方が他方より長く、前記素子駆動用薄膜トランジスタは、そのチャンネル長方向が、前記画素領域の長い方の辺に沿って配置されていることを特徴とする表示装置。

【請求項 10】 請求項 9 に記載の表示装置において、前記画素領域は、マトリクスの行方向よりも列方向の辺が長く、前記素子駆動用薄膜トランジスタは、そのチャンネル長方向が、前記列方向に沿って配置されていることを特徴とする表示装置。

【請求項 11】 電源ラインからの駆動電流を対応する被駆動素子に供給する少なくとも一つの素子駆動用薄膜トランジスタと、選択時に供給されるデータに基づいて前記素子駆動用薄膜トランジスタを制御するスイッチング用薄膜トランジスタと、を備え、前記素子駆動用薄膜トランジスタのチャンネル長方向は、前記スイッチング用薄膜トランジスタに前記データ信号を供給するデータラインの延びる方向に沿うように配置されていることを特徴とする半導体装置。

【請求項 12】 請求項 1 ～ 8 及び請求項 11 のいずれか一つに記載の半導体装置又は表示装置において、前記素子駆動用薄膜トランジスタのチャンネル長方向は、前記スイッチング用薄膜トランジスタのチャンネル長方向と一致しないことを特徴とする半導体装置又は表示装置。

【請求項 13】 請求項 1 ～ 請求項 12 のいずれか一つに記載の装置において、前記素子駆動用薄膜トランジスタのチャンネル長方向が、該トランジスタのチャンネル領域をアニールするための線状パルスレーザの走査方向に沿うように該素子駆動用薄膜トランジスタが形成されていることを特徴とする半導体装置又は表示装置。

【請求項 14】 供給電力に応じて動作する被駆動素子と、前記被駆動素子に電力を供給するための電源ラインとの間に、前記被駆動素子への供給電力を制御するための n 個 (n は、2 以上の整数) の薄膜トランジスタを備え、該 n 個の複数の薄膜トランジスタと対応する前記被駆動素子とは、 $n-1$ 以下の数のコンタクトによって電氣的に接続されていることを特徴とする半導体装置。

【請求項 15】 供給電力に応じて動作する被駆動素子

と、前記被駆動素子に電力を供給するための電源ラインとの間に、前記被駆動素子への供給電力を制御するための薄膜トランジスタを備え、

該薄膜トランジスタと対応する前記被駆動素子とは、配線層によって互いに電気的に接続され、該配線層と該薄膜トランジスタとのコンタクト位置と、該配線層と前記被駆動素子とのコンタクト位置とが離間して配置されていることを特徴とする半導体装置。

【請求項 16】 請求項 15 に記載の半導体装置において、

前記被駆動素子は、第 1 及び第 2 電極の間に発光素子層を備えた発光素子であり、

前記配線層の上層に形成された絶縁層にはコンタクトホールが形成されており、該コンタクトホールにおいて、前記配線層は、前記絶縁層の上に前記コンタクトホールを覆って形成された前記発光素子の前記第 1 電極と接続され、

前記第 1 電極の少なくともコンタクトホール領域は平坦化層によって覆われ、前記第 1 電極及び前記平坦化層の上層に前記発光素子層が形成されていることを特徴とする半導体装置。

【請求項 17】 供給電力に応じて動作し、第 1 及び第 2 電極の間に発光素子層を備える被駆動素子と、前記被駆動素子に電力を供給するための電源ラインとの間に、前記被駆動素子への供給電力を制御するための薄膜トランジスタを備え、

該薄膜トランジスタと対応する前記被駆動素子とは、下層に形成された前記薄膜トランジスタと前記被駆動素子との層間を隔てる絶縁層に形成されたコンタクトホールにおいて直接又は間接的に互いに電気的に接続され、前記第 1 電極の少なくともコンタクトホール領域は平坦化層によって覆われ、前記第 1 電極及び前記平坦化層の上層に前記発光素子層が形成されていることを特徴とする半導体装置。

【請求項 18】 請求項 9～請求項 17 のいずれか一つに記載の装置において、

前記被駆動素子は、有機化合物を発光層に用いた有機エレクトロルミネッセンス素子であることを特徴とする半導体装置又は表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、エレクトロルミネッセンス表示装置、特にその画素部の回路構成トランジスタに関する。

【0002】

【従来の技術】自発光素子であるエレクトロルミネッセンス (Electroluminescence: 以下 EL) 素子を各画素に発光素子として用いた EL 表示装置は、自発光型であると共に、薄く消費電力が小さい等の有利な点があり、液晶表示装置 (LCD) や CRT などの表示装置に代わ

る表示装置として注目され、研究が進められている。

【0003】また、なかでも、EL 素子を個別に制御する薄膜トランジスタ (TFT) などのスイッチ素子を各画素に設け、画素毎に EL 素子を制御するアクティブマトリクス型 EL 表示装置は、高精細な表示装置として期待されている。

【0004】図 1 は、m 行 n 列のアクティブマトリクス型 EL 表示装置における 1 画素当たりの回路構成を示している。EL 表示装置では、基板上に複数本のゲートライン GL が行方向に延び、複数本のデータライン DL 及び電源ライン VL が列方向に延びている。また各画素は有機 EL 素子 50 と、スイッチング用 TFT (第 1 TFT) 10、EL 素子駆動用 TFT (第 2 TFT) 20 及び補助容量 Cs を備えている。

【0005】第 1 TFT 10 は、ゲートライン GL とデータライン DL とに接続されており、ゲート電極にゲート信号 (選択信号) を受けてオンする。このときデータライン DL に供給されているデータ信号は第 1 TFT 10 と第 2 TFT 20 との間に接続された補助容量 Cs に保持される。第 2 TFT 20 のゲート電極には、上記第 1 TFT 10 を介して供給されたデータ信号に応じた電圧が供給され、この第 2 TFT 20 は、その電圧値に応じた電流を電源ライン VL から有機 EL 素子 50 に供給する。このような動作により、各画素ごとにデータ信号に応じた輝度で有機 EL 素子を発光させ、所望のイメージが表示される。

【0006】ここで、有機 EL 素子は、陰極と陽極との間に設けた有機発光層に電流を供給することで発光する電流駆動型の素子である。一方、データライン DL に出力されるデータ信号は、表示データに応じた振幅の電圧信号である。そこで、従来より、有機 EL 表示装置では、このようなデータ信号によって有機 EL 素子を正確に発光させる目的で、各画素には第 1 TFT 10 と第 2 TFT 20 とを設けている。

【0007】

【発明が解決しようとする課題】上述の有機 EL 表示装置において、その表示品質、信頼性はまだ十分ではなく、第 1 及び第 2 TFT 10、20 それぞれの特性ばらつきの解消が必要である。特に、電源ライン VL から有機 EL 素子 50 に供給する電流量を制御する第 2 TFT の特性ばらつきは直接発光輝度にばらつきを発生させるので、そのばらつきを小さくすることが要求されている。

【0008】また、これら第 1 及び第 2 TFT 10、20 を動作速度が速く、低電圧駆動の可能な多結晶シリコン TFT によって構成することが好適である。多結晶シリコンを得るためには、非晶質シリコンをレーザアニールによって多結晶化させることが行われるが、照射レーザの照射面内でのエネルギーばらつき等に起因して多結晶シリコンのグレインサイズが不均一となる。このグレイ

ンサイズのばらつき、特に T F T チャンネル付近においてばらつきが起きると、T F T のオン電流特性などがばらついてしまうという問題もある。

【0009】本発明は、上記課題に鑑みなされたものであり、有機 E L 素子を制御する T F T の特性ばらつきを緩和することで、各発光画素を均一な輝度で発光させることが可能なアクティブマトリクス型有機 E L パネルを提供することを目的とする。

【0010】また、本発明の他の目的は有機 E L 素子などを被駆動素子として備える装置において、その信頼性

や特性向上を図ることである。

【0011】

【課題を解決するための手段】上記目的を達成するためにこの発明は、第 1 及び第 2 電極の間に発光層を備えて構成されるエレクトロルミネッセンス素子と、ゲート信号をゲートに受けて動作し、データ信号を取り込むスイッチング用薄膜トランジスタと、駆動電源と前記エレクトロルミネッセンス素子との間に設けられ、前記スイッチング用薄膜トランジスタから供給されるデータ信号に応じ、前記駆動電源から前記エレクトロルミネッセンス素子に供給する電力を制御する素子駆動用薄膜トランジスタと、を有し、さらに、前記駆動電源と前記素子駆動用薄膜トランジスタとの間には、前記素子駆動用薄膜トランジスタと逆導電特性の補償用薄膜トランジスタが設けられている。

【0012】このような逆導電特性の補償用薄膜トランジスタにより、素子駆動用薄膜トランジスタとで、特性シフトのばらつきを吸収しあうことができるため、個々のトランジスタのばらつきを全体として緩和でき、特性ばらつきによるエレクトロルミネッセンス素子における発光輝度ばらつきを防止できる。

【0013】また本発明の他の態様は、前記補償用薄膜トランジスタは、前記駆動電源と前記素子駆動用薄膜トランジスタとの間に、ダイオード接続されていることである。

【0014】これにより補償用薄膜トランジスタについて特別な制御信号を供給する必要なく素子駆動用薄膜トランジスタの特性ばらつきを補償することができる。

【0015】本発明の他の態様は、上記表示装置において、前記素子駆動用薄膜トランジスタは、互いに並列接続された複数の薄膜トランジスタから構成されることである。

【0016】本発明のさらに別の態様は、上記素子駆動用薄膜トランジスタが、前記駆動電源と前記エレクトロルミネッセンス素子との間に、互いに並列接続された複数の薄膜トランジスタから構成され、前記補償用薄膜トランジスタは、前記並列接続された複数の薄膜トランジスタと、前記駆動電源との間にそれぞれ設けられていることである。

【0017】このように素子駆動用薄膜トランジスタを

並列に複数設けることで、個々のトランジスタに特性ばらつきが発生しても、並列接続されたトランジスタの全体の特性に対する影響を緩和することができる。このため、E L 素子に対してばらつきが少なく電流を供給することができる。さらに、補償用薄膜トランジスタについてもこれを複数とすれば、個々のトランジスタの特性のばらつきが画素トランジスタ全体の特性に与える影響を低減でき、E L 素子の均一輝度での発光が容易となる。

【0018】本発明の他の態様において、上記半導体装置は、マトリクス状に配置された各画素が、前記スイッチング用薄膜トランジスタと、前記素子駆動用薄膜トランジスタと、前記補償用薄膜トランジスタと、表示素子としての前記被駆動素子と、を備えたアクティブマトリクス型の表示装置に用いることができる。

【0019】本発明の他の態様では、上記半導体装置において、前記素子駆動用薄膜トランジスタ及び前記補償用薄膜トランジスタのチャンネル長方向は、前記スイッチング用薄膜トランジスタに前記データ信号を供給するデータラインの延びる方向に沿うように配置されている。

【0020】本発明の他の態様は、マトリクス状に配置された複数の画素のそれぞれが、少なくとも、被駆動素子と、駆動電源からの電力を被駆動素子に供給する素子駆動用薄膜トランジスタと、を備えるアクティブマトリクス型の表示装置であり、前記複数の画素の各画素領域は、マトリクスの行及び列方向の辺のうちの一方が他方より長く、前記素子駆動用薄膜トランジスタは、そのチャンネル長方向が、前記画素領域の長い方の辺に沿って配置されている。

【0021】本発明の他の態様に係る表示装置では、前記画素領域は、マトリクスの行方向よりも列方向の辺が長く、前記素子駆動用薄膜トランジスタは、そのチャンネル長方向が、前記列方向に沿って配置されている。

【0022】本発明の他の態様に係る半導体装置では、電源ラインからの駆動電流を対応する被駆動素子に供給する少なくとも一つの素子駆動用薄膜トランジスタと、選択時に供給されるデータに基づいて前記素子駆動用薄膜トランジスタを制御するスイッチング用薄膜トランジスタと、を備え、前記素子駆動用薄膜トランジスタのチャンネル長方向は、前記スイッチング用薄膜トランジスタに前記データ信号を供給するデータラインの延びる方向に沿うように配置されている。

【0023】以上のような配置を採用することで、被駆動素子に電力を供給する素子駆動用薄膜トランジスタのチャンネル長を長くでき、耐圧などトランジスタの信頼性を向上することができる。また、被駆動素子に対してそれぞれ設けられる素子駆動用薄膜トランジスタの特性を平均化することができ、被駆動素子が供給電力によって発光輝度の異なる発光素子などの場合においても素子毎の発光輝度のばらつきを抑えることができる。また、例えば 1 つの被駆動素子に対してそれぞれ十分なチャンネル

長を備えた複数の素子駆動用薄膜トランジスタを並列又は直列接続して画素内に効率的に配置することなどが容易であり、被駆動素子が発光素子などである場合において発光領域を増加させることも可能となる。

【0024】本発明の他の態様に係る半導体装置又は表示装置は、前記素子駆動用薄膜トランジスタのチャネル長方向が、該トランジスタのチャネル領域をアニールするための線状パルスレーザの走査方向に沿うように該素子駆動用薄膜トランジスタが形成されている。

【0025】このように素子駆動用薄膜トランジスタのチャネル長方向にレーザアニールの走査方向を合わせることで、他の被駆動素子に電力を供給する素子駆動用薄膜トランジスタのトランジスタ特性との差を確実に小さくすることができる。

【0026】レーザアニールでは、レーザ出力エネルギーのばらつきがある。このばらつきにはパルスレーザの1照射領域内でのばらつきと、ショット間でのばらつきが存在する。一方、例えばアクティブマトリクス型表示装置などの半導体装置に採用される素子駆動用薄膜トランジスタは、チャネル幅に対してチャネル長が非常に長く設計されることが多い。また、上述のように画素領域の長い方の辺に沿って配置したり、列方向或いはデータラインの延在方向に沿って素子駆動用薄膜トランジスタを形成することで、素子駆動用薄膜トランジスタのチャネル長を十分な長さとするのが容易となる。そして、レーザの走査方向を素子駆動用薄膜トランジスタのチャネル長方向に概ね一致するか、言い換えると、レーザの照射領域の長手方向がチャネルをその幅方向に横切るよう設定することで、1つの素子駆動用薄膜トランジスタのチャネル全領域が単一ショットによってアニールされないように容易に調整することができる。これは、例えば上記素子駆動用薄膜トランジスタのチャネル長をパルスレーザの1回の移動ピッチよりも長く設定すれば容易に実現できる。よって、同一基板上に複数の被駆動素子が形成され、この素子にそれぞれ電力を供給する素子駆動用薄膜トランジスタが複数形成される場合に、この薄膜トランジスタの能動層は複数回のショットによってレーザアニールすることが可能となり、ショット間におけるエネルギーばらつきを各トランジスタが均等に被り、各薄膜トランジスタの特性を確実に平均化することが可能となる。これによって、例えば被駆動素子として有機化合物が発光層に用いられた有機EL素子が用いられた有機EL表示装置などでは、各画素に設けられる有機EL素子における発光輝度のばらつきを非常に小さくすることができる。

【0027】本発明の他の態様では、上記半導体装置において、前記素子駆動用薄膜トランジスタのチャネル長方向は、前記スイッチング用薄膜トランジスタのチャネル長方向と一致しない。

【0028】スイッチング用薄膜トランジスタは、この

トランジスタを選択する選択ラインと、データ信号を供給するデータラインとが交差する近傍に配置され、多くの場合、選択ラインの延在方向とスイッチング用薄膜トランジスタのチャネル長方向が概ね平行するように配置される。このような場合に、素子駆動用薄膜トランジスタのチャネル長方向をスイッチング用薄膜トランジスタと異なる方向に配置することで、素子駆動用薄膜トランジスタはチャネル長を長くすることが容易となる。

【0029】本発明の他の態様に係る半導体装置では、供給電力に応じて動作する被駆動素子と、前記被駆動素子に電力を供給するための電源ラインとの間に、前記被駆動素子への供給電力を制御するための n 個（ n は、2以上の整数）の薄膜トランジスタを備え、該 n 個の複数の薄膜トランジスタと対応する前記被駆動素子とは、 $n-1$ 以下の数のコンタクトによって電気的に接続されている。

【0030】被駆動素子への電力供給の確実性や、ばらつき防止などの観点において、被駆動素子に電力を供給する素子駆動用薄膜トランジスタを複数設けることは、効果が高い。一方で、例えば被駆動素子が発光素子などである場合においてコンタクト部は非発光領域となることが多い。従って、被駆動素子に電力を供給する n 個の薄膜トランジスタと被駆動素子とのコンタクト数を $n-1$ 以下とすることで、装置としての信頼性向上を図りつつ被駆動素子の実動作領域（発光素子であれば発光領域）を最大限確保することが可能となる。

【0031】本発明の他の態様に係る半導体装置は、供給電力に応じて動作する被駆動素子と、前記被駆動素子に電力を供給するための電源ラインとの間に、前記被駆動素子への供給電力を制御するための薄膜トランジスタを備え、該薄膜トランジスタと対応する前記被駆動素子とは、配線層によって互いに電気的に接続され、該配線層と該薄膜トランジスタとのコンタクト位置と、該配線層と前記被駆動素子とのコンタクト位置とが離間して配置されている。

【0032】このように配線層と該薄膜トランジスタとのコンタクト位置と、該配線層と前記被駆動素子とのコンタクト位置とが離間して配置されることにより、配線層よりも上層に形成されることの多い被駆動素子をより平坦な面の上に形成することが容易となる。薄膜トランジスタと配線層とは絶縁層により隔てられており、これらのコンタクトは絶縁層に形成したコンタクトホールにおいて行われる。また、配線層と被駆動素子との接続は、両者を絶縁する絶縁層に形成したコンタクトホールを介して行われる。従って、薄膜トランジスタと配線層を接続するコンタクトホールと、配線層と被駆動素子とを接続するコンタクトホールとが重なった位置に形成されると、最も上層に形成される被駆動素子は2つ（2段）のコンタクトホールによってできた大きな凹凸面の上に形成されることになる。被駆動素子として発光素

子、例えば、有機化合物が発光層に用いられた有機 EL 素子を採用した場合、有機化合物を含む層は、その形成面の平坦性が悪いと、電界集中などが起き、その場所から発光不能となるダークスポットなどが生じやすい。従って、配線層と被駆動素子とのコンタクトを薄膜トランジスタと配線層とのコンタクト部から離間することで、被駆動素子の形成領域での平坦性を向上させることが可能となる。

【0033】本発明の他の態様に係る半導体装置では、上記被駆動素子が、第 1 及び第 2 電極の間に発光素子層を備えた発光素子であり、前記配線層の上層に形成された絶縁層にはコンタクトホールが形成されており、該コンタクトホールにおいて、前記配線層は、前記絶縁層の上に前記コンタクトホールを覆って形成された前記発光素子の前記第 1 電極と接続され、前記第 1 電極の少なくともコンタクトホール領域は平坦化層によって覆われ、前記第 1 電極及び前記平坦化層の上に前記発光素子層が形成されていることを特徴とする。

【0034】第 1 電極のコンタクトホール領域を平坦化層によって覆う、つまり、コンタクトホールの存在により窪んだ部分を平坦化層によって埋めることにより、第 1 電極と平坦化層とで非常に平坦性の高い面を構成することができる。よって、この平坦性の高い面上に発光素子層を形成することにより素子の信頼性を向上することが可能となる。

【0035】本発明の他の態様に係る半導体装置は、供給電力に応じて動作し、第 1 及び第 2 電極の間に発光素子層を備える被駆動素子と、前記被駆動素子に電力を供給するための電源ラインとの間に、前記被駆動素子への供給電力を制御するための薄膜トランジスタを備え、該薄膜トランジスタと対応する前記被駆動素子とは、下層に形成された前記薄膜トランジスタと前記被駆動素子との層間を隔てる絶縁層に形成されたコンタクトホールにおいて直接又は間接的に互いに電気的に接続され、前記第 1 電極の少なくともコンタクトホール領域は平坦化層によって覆われ、前記第 1 電極及び前記平坦化層の上層に前記発光素子層が形成されている。

【0036】第 1 電極の上方には発光素子層が形成されるが、この第 1 電極にコンタクトホールの存在によって発生する窪みを平坦化層によって覆うため、例えこの窪みが深いものであったとしても、第 1 電極と平坦化層とで非常に平坦性の高い面を構成でき、この平坦性の高い面上に発光素子層を形成することにより素子の信頼性を向上することが可能となる。

【0037】本発明の他の態様は、上述の被駆動素子は、有機化合物を発光層に用いた有機エレクトロルミネッセンス素子であることである。このような有機 EL 素子では、高輝度かつ発光色、材料の選択範囲が広いが、電流駆動であるから供給電流量のばらつきが発光輝度のばらつきに影響を及ぼすが、上述のような画素の回路構

成や配置の採用により、供給電流量を均一に維持することが容易である。また、上述のようなコンタクトの配置、構造を採用することで、開口率が大きく、さらに発光層などの素子層を平坦な面に形成することができ、信頼性の高い素子が得られる。

【0038】

【発明の実施の形態】以下、図面を用いてこの発明の好適な実施の形態（以下実施形態という）について説明する。

【0039】【実施形態 1】図 2 は、本発明の実施形態 1 に係る m 行 n 列のアクティブマトリクス型 EL 表示装置における 1 画素当たりの回路構成を示している。図示するように各画素は、有機 EL 素子 50、スイッチング用 TFT（第 1 TFT）10、素子駆動用 TFT（第 2 TFT）20 及び補助容量 Cs を備え、ここでは、行方向に延びるゲートライン GL と、列方向に延びるデータライン DL で囲まれる領域に構成されている。本実施形態では、さらに、導電特性が該第 2 TFT 20 と逆の補償用 TFT 30 が電源ライン VL と第 2 TFT 20 との間に挿入されている。この補償用 TFT 30 は、ゲートと、ソース又はドレインの一方とが接続されてダイオード接続されており、該ダイオードが電源ライン VL と該第 2 TFT 20 との間に順方向に接続されている。よって、特別な制御信号を供給せずに動作させることが可能となっている。

【0040】第 1 TFT 10 は、ゲート信号をそのゲートに受けてオンし、これにより、第 1 TFT 10 と第 2 TFT 20 と間に接続された補助容量 Cs にデータライン DL に供給されているデータ信号が保持され、補助容量 Cs の一方の電極電位が該データ信号に等しくなる。第 2 TFT 20 は、電源ライン VL と、有機 EL 素子（素子の陽極）50 との間に設けられ、そのゲートに印加されるデータ信号の電圧値に応じた電流を電源ライン VL から有機 EL 素子 50 に供給するように動作する。図 2 に示す例では、第 1 TFT 10 には高速応答可能な nch-TFT が用いられ、第 2 TFT 20 には pch-TFT が用いられている。

【0041】補償用 TFT 30 には、該第 2 TFT 20 と逆極性の nch-TFT が用いられており、第 2 TFT 20 の I（電流）-V（電圧）特性が変動した場合、ちょうど逆方向にその I-V 特性が変動し、第 2 TFT 20 の特性変動を補償する。

【0042】図 3 は、能動層に多結晶シリコンを用いた nch-TFT 及び pch-TFT の I-V 特性を示している。nch-TFT は、ゲートへの印加電圧が所定の性電圧（+V_{th}）以上になると電流値が急激に上昇し、一方の pch-TFT はゲートへの印加電圧が所定の負電圧（-V_{th}）以下になると電流値が急激に上昇する。ここで、例えば同一基板上に形成された nch-TFT と pch-TFT とは、nch-TFT の閾値+

V_{th} が大きくなる方向、つまり、図3において右にシフトするように変動した場合、 $pch-TFT$ の閾値 $-V_{th}$ は、同程度だけ図3の右側にシフトする。反対に $nth-TFT$ の閾値 $+V_{th}$ が左にシフトするときは、 $pth-TFT$ の閾値 $-V_{th}$ も左側にシフトする。例えば、製造条件のばらつき等によって、図2の第2TFT20に用いられている $pch-TFT$ の $-V_{th}$ が右ずれた場合、従来であれば同一条件化において有機EL素子50に供給される電流量が直ちに減少してしまう。しかし、本実施形態では、該第2TFT20と電源ラインVLとの間に設けられている $nch-TFT$ からなる補償用TFT30の流す電流量が多くなる。

【0043】本実施形態では、図2に示すように、互いに逆極性からなる第2TFT20と補償用TFT30とが電源ラインVLと有機EL素子50との間に設けられているので、2つのTFTは、常時、互いに流す電流量を補償するように釣り合うことになる。もちろん、補償用TFT30の存在しない図1のような従来回路構成よりも本実施形態の回路構成では、補償用TFT30が存在する分、有機EL素子50に供給可能な最大電流値は減少する。しかし、人間の目は、高輝度側における識別感度が、中間輝度における感度に比較して非常に低いため、最大供給電流値が多少減少しても表示品質には、ほとんど影響を与えない。その一方で、各画素において、第2TFT20と補償用TFT30とが互いに流し出す電流を調整しあうので、画素間における有機EL素子50への供給電流量のばらつきを低減することが可能となる。

【0044】次に、図4を参照して、本実施形態の回路構成によって実現される効果について説明する。図4上段は、図2に示す本実施形態の画素回路構成によって有機EL素子を発光させた場合、図4下段は、図1に示す従来の画素回路構成によって有機EL素子を発光させた場合の印加電圧（データ信号）と発光輝度との関係の一例を示している。図4の設定は印加電圧（データ信号）8Vのときが有機EL素子に対する要求最大輝度としており、8V～10Vの間で階調表示が行われている場合を例に挙げている。また、図4の上段、下段の各3つのサンプルは、異なる製造条件下でそれぞれ図2及び図1の回路構成の有機ELパネルを形成した場合、つまり画素部のTFTの特性を故意にばらつかせた場合の発光輝度特性である。

【0045】図4から明らかなように、従来の回路構成では、画素部TFTの特性が異なる3つのサンプルにおいて、設定されたデータ信号電圧範囲8V～10Vにおいて輝度特性が大きく変化しているのに対し、本実施形態の回路構成では、視感されない高輝度領域での特性が異なるだけで、3つのサンプルの中間調領域での輝度特性差は非常に小さい。従って、各画素を本実施形態のような回路構成とすることで、TFT、特に大きな影響を

及ぼすEL素子駆動用TFT20の特性がばらついて、これと逆極性の補償用TFT30の存在により、そのばらつきを補償することが可能であり、有機EL素子の発光輝度のばらつきを抑えることが可能となる。

【0046】図5は、本実施形態の回路構成の他の例を示している。上述の図2と相違する点は、 $nch-TFT$ を用いて第2TFT22が構成され、また、補償用TFT32には、ダイオード接続された $pch-TFT$ を用いている点である。このような構成によっても第2TFT22における特性ばらつきを補償用TFT32で補償することができる。

【0047】図6は、本実施形態の回路構成のさらに別の例を示している。図2の回路構成と相違する点は、第2TFTが複数並列して補償用TFT30と有機EL素子50との間に設けられていることである。なお、TFTの極性は、図2と同様に、第2TFT24が pch 、補償用TFT30が nch である。2つの第2TFT24は、そのゲートが共に、第1TFT10及び補助容量Csの第1電極側に接続され、各ソースは補償用TFT30に接続され、ドレインが有機EL素子50に接続されている。このように第2TFT24を並列して設けることにより、第2TFTの特性ばらつきによる有機EL素子への供給電流ばらつきをさらに低減することが可能となる。

【0048】ここで、2つの第2TFT24それぞれの流す電流値目標を i とすると、当然、2つの第2TFT24の合計目標電流値は $2i$ となる。ばらつきにより、例えば一方の第2TFT24の電流供給能力が $i/2$ になってしまっても、他方の第2TFT24が i だけ電流を流せば、目標 $2i$ に対し、 $(3/2)i$ を有機EL素子に供給することができる。また、最悪一方のTFTの電流供給能力が0になったとしても、図6の例ならば、他方のTFTにより電流 i を有機EL素子に供給することが可能である。単一のTFTで第2TFT24を構成した場合、これが電流供給能力0になると、その画素は欠陥になることと比較すると、その効果は格段に大きい。

【0049】また、本実施形態の各TFTは、レーザアニール処理により $a-Si$ を多結晶化するが、複数の第2TFT24を並列して設ける場合、各第2TFT24の能動領域に同時にレーザが照射されないようレーザ走査方向に対してその形成場所をずらすなどの工夫をすることが容易である。そして、そのような配置とすることで、全ての第2TFT24が欠陥となる可能性を格段に低下させることができ、レーザアニールに起因した特性ばらつきを最小限度に抑えることが可能となる。その上、上述のように、第2TFT24と電源ラインVLとの間に補償用TFT30を設けているので、そのアニール条件等のばらつきにより第2TFT24の閾値にシフトが生じても、補償用TFT30によってこれを緩和す

ることができる。

【0050】図7は、本実施形態のさらに別の画素回路構成を示している。上述の図6の構成と相違する点は、第2TFT24だけでなく、補償用TFTも複数設けられ、各補償用TFT34がそれぞれ電源ラインVLと第2TFT24との間に設けられている点である。補償用TFT34についても図7のように複数とすれば、各補償用TFT34に発生する電流供給能力のばらつきを全体として緩和することができ、有機EL素子50への供給電流能力のばらつきをより確実に低減させることが可能となる。

【0051】図8は、上記図7のような回路構成となる有機EL表示装置の平面構成の一例を示している。また図9(a)は、図8のA-A線に沿った概略断面、図9(b)は、図8のB-B線に沿った概略断面、図9(c)は、図8のC-C線に沿った概略断面を示している。なお、図9において、同時に形成される層(膜)には機能の異なるものをのぞき基本的に同一符号を付してある。

【0052】図8に示すように、各画素は、第1TFT10、補助容量Cs、2つのpchの第2TFT24、電源ラインVLと該第2TFT24との間にダイオード接続されて設けられたnchの2つの補償用TFT34、そして、第2TFT24のドレインと接続された有機EL素子50を備える。また、図8の例では(これには限られないが)、行方向に延びるゲートラインGLと列方向に延びる電源ラインVLとデータラインDLに囲まれた領域に1画素が配置されている。なお、図8の例では、より高精細なカラー表示装置を実現するため、R、G、Bの画素が各行ごとにその配置位置がずれた

【0053】各画素領域において、ゲートラインGLとデータラインDLとの交差部近傍には、第1TFT10が形成されている。能動層6には、レーザアニール処理によってa-Siを多結晶化して得たp-Siが用いられ、この能動層6は、ゲートラインGLから突出したゲート電極2を2回跨ぐパターンとなっており、図7では、シングルゲート構造で示しているが、回路的にはデュアルゲート構造となっている。能動層6は、ゲート電極2を覆って形成されたゲート絶縁膜4上に形成されており、ゲート電極2の直上領域がチャンネル、その両側には、不純物がドーブされたソース領域6S、ドレイン領域6Dが形成されている。第1TFT10は、ゲートラインGLに出力される選択信号に高速応答することが望まれるから、ここで、ソースドレイン領域6S、6Dには、リン(P)などの不純物がドーブされ、nch-TFTとして構成されている。

【0054】第1TFT10のドレイン領域6Dは、第1TFT10全体を覆って形成される層間絶縁膜14の上に形成されたデータラインDLと該層間絶縁膜14に開口されたコンタクトホールで接続されている。

【0055】この第1TFT10のソース領域6Sには、補助容量Csが接続されている。この補助容量Csは、第1電極7と第2電極8とが層間にゲート絶縁膜4を挟んで重なっている領域に形成されている。第1電極7は、図8においてゲートラインGLと同様行方向に延びており、かつゲートと同一材料から形成された容量ラインSLと一体で形成されている。また、第2電極8は、第1TFT10の能動層6と一体で、該能動層6が第1電極7の形成位置まで延出して構成されている。第2電極8は、コネクタ42を介して第2TFT24のゲート電極25に接続されている。

【0056】2つのpchの第2TFT24と、2つのnchの補償用TFT34の断面構成は、図9(b)のようになっている。これらの第2TFT及び補償用TFT24、34は、データラインDL(電源ラインVL)に沿った方向に、各TFT毎に島状にパターニングされた半導体層16を各能動層として利用している。従って、この例では、これら第2TFT24及び補償用TFT34のチャンネルは、そのチャンネル長方向がデータラインDL、ここでは細長い形状の1画素の長手方向に沿うように配置されている。なお、この半導体層16は、第1TFT10の能動層6と同時に形成されたものであり、レーザアニール処理により、a-Siが多結晶化されて形成された多結晶シリコンが用いられている。

【0057】図9(b)の両端に位置する補償用TFT34は、そのドレイン領域が層間絶縁膜14に開口されたコンタクトホールを介し、それぞれ同じ電源ラインVLに接続されている。また、補償用TFT34のチャンネル領域の直下にはゲート絶縁膜4を挟んでゲート電極35が配されている。このゲート電極35は、ゲートラインGLと同一材料で、同時に形成された層であるが、図8に示すようにコンタクトホールにおいて、電源ラインVLと接続されている。従って、この補償用TFT34は、図7の回路図に示したように、ゲートとドレインが共に電源ラインVLに接続されたダイオードを構成している。また、この補償用TFT34のソース領域は、pchTFTから構成される第2TFT24のソース領域と離間配置されており、コンタクト配線43によって互いにそれぞれ接続されている。

【0058】第2TFT24の各ゲート電極25は、補償用TFT34のゲート電極35と同様、ゲートラインGLと同一材料で同時に形成された導電層であり、補助容量Csの第2電極8にコネクタ42を介して接続され、該補助容量Csの形成領域から電源ラインVLに沿って延び、さらに能動層16の下に延びており、2つの第2TFT24の各ゲート電極25を構成している。

【0059】有機EL素子50は、例えば図9(c)のような断面構造を備えており、上述のような各TFTが形成された後、上面平坦化の目的で、基板全面に形成された平坦化絶縁層18の上に形成されている。この有機EL素子50は、陽極(透明電極)52と、最上層に各画素共通で形成された陰極(金属電極)57との間に有機層が積層されて構成されている。ここで、この陽極52は、第2TFT24のソース領域と直接接続されており、配線層を構成するコネクタ40を介して接続されている。

【0060】ここで、本実施形態では、図8のように、2つの第2TFT24は、1つのコネクタ40に共通に接続されており、このコネクタ40は、有機EL素子50の第1電極52と1カ所でコンタクトしている。つまり、有機EL素子50は、n個の第2TFT24と、n-1個以下のコンタクトで接続されている。コンタクト領域は非発光領域となることもあり、このように有機EL素子50とコネクタ40(第2TFT24)とのコンタクト数をできるだけ少なくすることで、発光領域をできるだけ大きくすることを可能とする。なお、このコンタクト数に関する他の例については、実施形態3として後述する。

【0061】また、本実施形態では、図8及び図9(c)に示すようにコネクタ40と陽極52との接続位置は、コネクタ40と第2TFT24との接続位置とずれて配置されている。後述する有機化合物を含む発光素子層51は、局部的に薄い場所などがあると電界集中が起きやすく、電界集中の起きた場所から劣化が始まる可能性がある。従って有機材料の用いられる発光素子層51の形成面はできるだけ平坦であることが望ましい。コンタクトホールの上層ではこのコンタクトホールに起因した窪みができ、コンタクトホールが深ければ深いほどその窪みは大きくなる。従って、陽極52の形成領域外にコネクタ40と第2TFT24のソース領域とを接続するコンタクトホールを配置することにより、上に有機層の形成される陽極52の上面をできる限り平坦にすることを可能としている。なお、陽極52の上面を平坦にする例については実施形態4として後述する。

【0062】発光素子層(有機層)51は、陽極側から、例えば第1ホール輸送層53、第2ホール輸送層54、有機発光層55、電子輸送層56が順に積層されている。一例として、第1ホール輸送層52は、

MTDATA:4,4',4''-tris(3-methylphenylphenylamino)triphenylamine、
第2ホール輸送層54は、

TPD:N,N'-diphenyl-N,N'-di(3-methylphenyl)-1,1'-biphenyl-4,4'-diamine、
有機発光層55は、R、G、Bの目的とする発光色によって異なるが、例えば、キナクリドン(Quinacridone)誘導体を含むBeBq₂:bis(10-hydroxybenzo[h]quinolinat

o)berylliumを含み、電子輸送層56は、BeBqから構成される。また、図9(c)に示す例では、有機EL素子50は、ITO(Indium Tin Oxide)などからなる陽極52と有機発光層55以外の各有機層(53, 54, 56)及びAlなどからなる陰極57は各画素共通で形成されている。

【0063】上記EL素子の他の構成例としては、右にあげた材料を用いた左の層が順次積層形成された素子があげられる。

10 【0064】a. 透明電極(陽極)

b. ホール輸送層:NBP

c. 発光層:レッド(R)・・・ホスト材料(Alq₃)に赤色のドーパント(DCJTB)をドーブ
グリーン(G)・・・ホスト材料(Alq₃)に緑色のドーパント(Coumarin 6)をドーブ
ブルー(B)・・・ホスト材料(Alq₃)に青色のドーパント(Perylene)をドーブ

d. 電子輸送層:Alq₃

e. 電子注入層:フッ化リチウム(LiF)

20 f. 電極(陰極):アルミニウム(Al)

なお、ここで、上記略称にて記載した材料の正式名称は以下のとおりである。

・「NBP」・・・N,N'-Di((naphthalene-1-yl)-N,N'-diphenyl-benzidine)

・「Alq₃」・・・Tris(8-hydroxyquinolinato)aluminum

・「DCJTB」・・・(2-(1,1-Dimethylethyl)-6-(2-(2,3,6,7-tetrahydro-1,1,7,7-tetramethyl-1H,5H-benzo[1j]quinolizin-9-yl)ethenyl)-4H-pyran-4-ylidene)propanedinitrile

30 ・「Coumarin 6」・・・3-(2-Benzothiazolyl)-7-(diethylamino)coumarin

・「BAIq」・・・(1,1'-Bisphenyl-4-Olato)bis(2-methyl-8-quinolinplate-N1,08)Aluminum

但し、もちろんこのような構成には限られない。

【0065】以上のような構造の画素において、ゲートラインGLに選択信号が印加されると、第1TFT10がオンし、データラインDLの電位と、補助容量Csの第2電極8に接続されたそのソース領域の電位が等しくなる。第2TFT24のゲート電極25には、データ信号に応じた電圧が供給され、第2TFT24は、その電圧値に応じて電源ラインVLから補償用TFT34を介して供給される電流を有機EL素子50の陽極52に供給する。このような動作により、各画素ごとにデータ信号に応じた電流を正確に有機EL素子50に供給することができ、ばらつきのない表示が可能となる。

【0066】図8に示すように、電源ラインVLと有機EL素子50との間に補償用TFT34と第2TFT24とがこの順に複数系列(ここでは2系列)設けられているので、一方の系でばらつきによる特性シフトや欠陥などが発生しても、正常な特性の他方の系が存在するこ

とで、複数系列の合計決まる供給電流量のばらつきを緩和することを可能としている。

【0067】また、図8に示す平面配置では、共に能動層がレーザアニール処理によって多結晶化された多結晶シリコン層が用いられているが、このアニール処理は、一例として図の行方向に長いレーザビームを列方向に走査して行う。このような場合にも、第1 TFT 10のチャネル向きと、第2及び補償用 TFT 24, 34の各能動層長さチャネル向きとは一致せず、また形成位置が第1と第2 TFT 10, 24とで離れている。このため、レーザアニールによって、第1及び第2 TFT 10, 24、さらには第2及び補償用 TFT 24, 34に同時に不具合が生ずることを防止することが可能である。

【0068】なお、第1 TFT 10、第2 TFT 24及び補償用 TFT 34のいずれも、ボトムゲート構造として説明したが、能動層よりもゲート電極が上層に形成されたトップゲート構造であってもよい。

【0069】〔実施形態2〕次に、本発明の他の実施形態2について説明する。実施形態1では、トランジスタの特性ばらつきによる画素間で発光輝度のばらつきを防止するため、素子駆動用薄膜トランジスタと逆導電特性の補償用薄膜トランジスタを設けている。これに対して、本実施形態2では、素子駆動用薄膜トランジスタ（第2 TFT）の配置に着目して画素間での発光輝度のばらつきを抑制する。図10は、実施形態2に係る1画素あたりの構成例を示しており、図10(a)は概略平面図、図10(b)は図10(a)のB-B線に沿った断面図である。この構成は、図1と同一の回路構成で示される。また、図中、既に説明した図と対応する部分には同一符号を付している。

【0070】本実施形態2において、1画素は、有機EL素子50、第1 TFT（スイッチング用薄膜トランジスタ）10、補助容量Cs、第2 TFT（素子駆動用薄膜トランジスタ）20を備える。実施形態1と異なり、電源ラインVLと有機EL素子50との間には単一の第2 TFT 20が形成されているが、この第2 TFT 20は、上述の図8と同様に、そのチャネル長方向が、細長く形成された画素の長手方向に沿うように配置されている。そして、本実施形態2では、このように画素領域の長手方向にチャネル長方向が向くように第2 TFT 20を配置することで、図10(a)のようにチャネル長の非常に長い第2 TFT 20を配置する場合にも、また、上述の図8に示すように電源ラインVLと、有機EL素子50との間に第2 TFT 20や補償用 TFT 30を配置する必要がある場合にも、有機EL素子50の発光領域を最大限確保しながら、面積の限られた1画素領域内に必要なTFTを効率的に配置することを可能としている。

【0071】本実施形態2では、画素の長手方向に第2 TFT 20を配置することで、図10(a)及び図10

(b)に示すように、第2 TFT 20のチャネル長を十分長くすることを可能としている。第2 TFT 20のチャネル長を十分長くすることにより、TFT耐圧向上による信頼性が向上する。また、第2 TFT 20のトランジスタ特性の平均化が可能となり、画素毎の第2 TFT 20の電流供給能力ばらつきを低減でき、この能力ばらつきにより発生する有機EL素子50の発光輝度ばらつきを非常に小さくすることが可能となる。

【0072】また、本実施形態2においては、実施形態1と同様、第2 TFT 20は、アモルファスシリコン層をレーザアニールによって多結晶化して得た多結晶シリコン層を半導体層（能動層）16として用いる。この場合に、レーザアニールの走査方向を第2 TFT 20のチャネル長方向と一致するような方向に設定する、言い換えるとパルスレーザの照射領域の長手方向エッジがチャネル16cを幅方向に横切るように配置し、かつ上述のように第2 TFT 20のチャネル長を長くすることによって、第2 TFT 20の特性ばらつき低減が可能となる。これは、単一のレーザショットによって第2 TFT 20のチャネル全領域がアニールされないように調整することが容易で、他の画素の第2 TFT 20とその特性に大きな差が発生することを防止でき、これにより第2 TFT 20の特性についてより高い平均化効果を得ることが可能であるためである。

【0073】第2 TFT 20は、有機EL素子50に対して駆動電源（電源ラインVL）からの比較的大電流を供給することが要求されるが、能動層16に多結晶シリコンを用いたp-Si-TFTを第2 TFT 20に用いる場合、要求能力と比較してp-Siの移動度は十分な値であり、第2 TFT 20はそのチャネル長を長く設計しても十分な電流供給能力を発揮することできる。また、第2 TFT 20は、電源ラインVLに直接接続されるため要求耐圧が高く、チャネル長CLは、チャネル幅よりも大きくすることが要求されることが多い。従って、このような観点からも第2 TFT 20は、十分に長いチャネル長とすることが好適であり、そのために第2 TFT 20をそのチャネル長方向が画素領域の長手方向に沿うように形成することで、1画素領域内に長いチャネルを備える第2 TFT 20を効率的に配置することが可能となる。

【0074】表示面上に複数の画素がマトリクス状に配置されて構成される表示装置では、多くの場合、垂直方向（列方向）よりも水平方向（行方向）の方がより高い解像度が要求されるため、各画素は、上述の図8や図10(a)に示すように列方向に長い形状に設計される傾向が強い。このような場合に、列方向にチャネル長方向が向くように第2 TFT 20を配置すれば、画素領域の長手方向にチャネル長方向が沿うことになり、上述のような要求されるチャネル長の確保が容易となる。

【0075】また、本実施形態2に示すように、各画素

に表示素子を駆動するためのスイッチ素子が設けられるアクティブマトリクス型表示装置では、列方向に第1 TFT10にデータ信号を供給するデータラインDLが配置され、行方向には選択ライン（ゲートライン）GLが配置される。そこで、データラインDLの延びる方向

（列方向）にチャンネル長方向が沿うように第2 TFT20を配置することで、長いチャンネル長を確保しつつ、第2 TFT20を効率的に画素領域内に配置することが容易となる。なお、図10の例では、駆動電源Pvddから電源ラインVLによって各画素に電力が供給されるレイアウトが採用されており、この電源ラインVLについてもデータラインDLと同様に列方向に延びているので、第2 TFT20のチャンネル長方向は、この電源ラインVLの延在方向とも一致している。

【0076】ところで、本実施形態2では、上述のように第2 TFT20のチャンネル長方向が、レーザアニールの走査方向と一致するように、或いは列方向（データラインDLの延在方向）に平行となるように設定しているが、第1 TFT10については、ゲートラインGLの延びる行方向にそのチャンネル長方向が一致するように配置されている。よって、本実施形態2においては、第1 TFT10と第2 TFT20とでは、そのチャンネル長方向が互いに異なった配置になっている。

【0077】次に本実施形態2に係る表示装置の断面構造について図10（b）を参照して説明する。図10（b）は、第2 TFT20及びこのTFT20と接続される有機EL素子50の断面構造を示している。なお図示しない第1 TFT10については、チャンネルの長さ、ダブルゲートであること、及び能動層6の導電型が異なること等を除けば、基本構成は、図10（b）の第2 TFT20とほぼ共通している。

【0078】実施形態1において例示した第1及び第2 TFTは、共にボトムゲート構造であるが、本実施形態2では第1及び第2 TFT10、20は、能動層よりゲート電極が上層に形成されたトップゲート構造を採用している。もちろん、トップゲート構造に限られるものではなく、ボトムゲート構造であってもよい。

【0079】第2 TFT20の能動層16及び第1 TFT10の能動層6は、上述のように共に、基板1上に形成されたアモルファスシリコン層をレーザアニールして多結晶化して得られた多結晶シリコンより構成されている。多結晶シリコンからなる能動層6及び能動層16の上にはゲート絶縁膜4が形成されている。第1 TFT10及び第2 TFT20の各ゲート電極2及び25は、このゲート絶縁膜4の上に形成されており、第2 TFT20のゲート電極25は、第1 TFT10の能動層6と一体の補助容量Csの第2電極8に接続され、図10

（a）に示すように補助容量Csとの接続部分から列方向に延びてゲート絶縁膜4上に能動層16の上方を広く覆うようにパターンニングされている。

【0080】第2 TFT20の能動層16は、ゲート電極25によって上方が覆われている領域がチャンネル領域16cであり、このチャンネル領域16cの両側にはそれぞれソース領域16sと、ドレイン領域16dが形成されている。本実施形態2では、この能動層16のソース領域16sは、補助容量Csの近傍において、ゲート絶縁膜4及び層間絶縁膜14を貫通して形成されたコンタクトホールを介して電源ラインVLと電気的に接続されている。また、ドレイン領域16dは、マトリクスの次行に相当するゲートラインGLの近傍で、ゲート絶縁膜4及び層間絶縁膜14を貫通して形成されたコンタクトホールを介してコネクタ（配線層）40と接続されている。コネクタ40は、ドレイン領域16dとの接続領域から有機EL素子50の形成領域まで延び、上記層間絶縁膜14及び電源ラインVL及びコネクタ40を覆って形成されている第1平坦化絶縁層18に形成されたコンタクトホールを介して有機EL素子50のITO電極

（陽極）52と電気的に接続されている。

【0081】また、図10（b）では、上記第1平坦化層18の上には、有機EL素子50の陽極52の形成中央領域のみ開口され、陽極52のエッジ、配線領域及び第1及び第2 TFTの形成領域を覆うように第2平坦化絶縁層61が形成されている。そして、有機EL素子50の発光素子層51が、陽極52及び第2平坦化絶縁層61上に形成されている。また発光素子層51の上には全画素共通の金属電極57が形成されている。

【0082】次に、第2 TFT20のチャンネル長CLと、レーザの移動ピッチPとの関係について説明する。上述のように、第2 TFT20のチャンネル長CLについては、十分長くすることが好適であるが、1回のパルスレーザでチャンネル全領域がアニールされないようにするためにはレーザの移動ピッチPがチャンネル長CLに対し、 $P < CL$ となることが好ましい。移動ピッチPは、レーザアニール装置の光学系システム等の設定により調整可能である場合があり、このような場合、 $CL > P$ となるように装置を調整することが好適である。例えば200 dpi程度の解像度の表示装置の場合、画素行方向の長さは30 μm 程度であっても、列方向は80 μm 程度を確保することができる。さらに、レーザの移動ピッチP20 μm ～35 μm の場合において、第2 TFT20をそのチャンネル長方向が画素長手方向に向くように配置することでチャンネル長CLは50 μm ～80 μm 程度を確保でき、上記関係を満たすことができる。このような関係であれば第2 TFT20のチャンネル領域16cは、必ず複数回パルスレーザが照射されて多結晶化されることとなり、同様に複数回のパルスレーザ照射により多結晶化される他の画素の第2 TFT20との間で、その特性の差を低減することが可能となる。

【0083】以上の説明では、1画素内において有機EL素子50と、電源ラインVLとの間に単一の第2 TFT

T20が形成されている。しかし、第2 TFT20は、1画素内に複数設けられていてもよい。図11は、1画素内で、複数の第2 TFT20が電源ライン16と有機EL素子50との間に並列接続される場合のレイアウトの一例を示している。なお、図11に示す画素構成の等価回路は、上述の図6の回路において補償用 TFT30を除いた場合と同等であり、2つの第2 TFT20のソース領域16sa、16sbが共に電源ラインVLに接続され、ドレイン領域16da、16dbが共にそれぞれコンタクト40を介して有機EL素子50の陽極52に接続されている。このように1画素内に第2 TFT20を複数設けることで、1画素について複数の第2 TFT20の両方が同時に不良となつて有機EL素子に電流供給不能となる確率を最低でも半分以下に低減することができる。

【0084】2つの第2 TFT20a、20bの配置については、図10と同様に、画素領域の長手方向（ここではデータラインDLの延在方向にも一致）に対し、そのチャンネル長方向がほぼ平行となるように配置する。このような配置により、発光領域を最大限確保しつつ各チャンネル長CLをできるだけ長く確保することが可能となっている。さらに、レーザアニールの走査方向については、図11においても、2つの第2 TFT20a、20bのいずれのチャンネル長方向にも平行となるように設定されている。また、両能動層16a、16bは一直線上に並べられている。複数の第2 TFT20a、20bの各能動層が必ずしも互いに一直線上に並ぶことは必須ではないが、第2 TFT20a、20bの各チャンネル領域16ca、16cbは、レーザ走査方向に対し、互いに完全に一致せずに、若干でもずれていることにより、TFT20a、20bの特性が同じようにばらつくことをより確実に防止できる。即ち、チャンネル長方向が互いにレーザ走査方向にずれていることで、同一のパルスによって2つのTFTのチャンネルが同時にアニールされる可能性が減少し、第2 TFT20a、20bの特性が全く同じように設定値からずれたり、両方のトランジスタが同時に動作しないといった問題発生の可能性を大幅に低減でき、画素毎における有機EL素子60に供給する総電流量のばらつきを低減できる。

【0085】2つの第2 TFT20a、20bのチャンネル長CLa、CLbは、そのいずれもが上述のようにレーザの移動ピッチPより大きいことが望ましい。さらに、複数の第2 TFT20a、20bのチャンネル16caと、16cbとの離間距離Lについても、レーザの移動ピッチPよりも大きくすることがより好ましい。しかし、図11のように複数の第2 TFT20が1画素内に配置されている場合、少なくとも2つのTFT20a、20bの合計チャンネル長と上記離間距離Lの合計が、移動ピッチPより大きければ、レーザアニールによって、1画素内の複数のトランジスタTFT2a、TFT2b

に同時不具合が生ずる又は同じように特性がずれることを防止でき、画素毎での特性ばらつき低減効果が得られる。

【0086】【実施形態3】次に、実施形態3として、1画素内において、複数の第2 TFT20と対応する有機EL素子50とのより効率的な接続方法について説明する。上述の実施形態1及び実施形態2の図11に示すように、1画素内で、有機EL素子50と電源ラインVLとの間に複数の第2 TFT20を設けることは、信頼性向上、特性向上などの観点で好適である。このように複数の第2 TFT20を1画素内に設ける場合、図11に示したように、第2 TFT20a、20bと有機EL素子50とをそれぞれ接続することで、電源ラインVLから有機EL素子50への第2 TFT20を介しての電流供給がより確実となる。しかし、図10(b)に示すような透明な陽極52から下方の基板1を経て外部に発光層55からの光を射出するタイプの有機EL素子の場合、コンタクト部は遮光されることが多い。例えば、図9(c)や図10(b)では、有機EL素子50の第2 TFT20との接続は、金属配線である配線層40を介して行われており、この配線層40と陽極52とのコンタクト部では、陽極52の下方に遮光性の配線層40が存在しており、この領域では発光層55からの光は基板1側に通ることはできない。従って、第2 TFT20と有機EL素子50とのコンタクト部を第2 TFT20の個数nと同じ数だけ設けるとコンタクト数に比例して発光面積が減少してしまう。

【0087】そこで、発光面積の減少を最小限とするためには、1画素当たりの第2 TFT20の数n ($n \geq 2$) に対し、該第2 TFT20と有機EL素子50とのコンタクト数を $n-1$ 以下とすることが好適である。上述の図8や、以下に説明する図12、図13及び図14では、n個の第2 TFT20と有機EL素子50とを $n-1$ 以下のコンタクト数で接続している。なお、以降で説明する各図において、既に説明した図面と共通する部分には同一符号を付し、説明を省略する。

【0088】図12では、電源ラインVLと有機EL素子50との間に2つの第2 TFT20a、20bを並列接続した場合の有機EL素子50とのコンタクト方法を示している。なお、2つの第2 TFT20a、20bは、上述の図11と同様、そのチャンネル長方向が画素の長手方向（データラインDLの延在方向）、又はレーザアニールの走査方向に対して平行となるように配置され、さらに互いにずれるように配置されており、画素間での輝度ばらつきの低減、信頼性向上を図っている。

【0089】図12の例では、単一の島状にパターンニングされたp-Siからなる半導体層が2つの第2 TFT20a、20bの能動層16a、16bとして用いられている。この半導体パターンはその列方向の両端側が、各第2 TFT20a、20bのソース領域(p-ch T

FTの場合) 16sa、16sbであり、それぞれ電源ラインVLと接続されている。また、半導体パターンの中央付近が2つのTFT20a、20bのドレイン領域(pchTFTの場合) 16da及び16dbは、2つのTFTの間に配された単一の配線層40と、層間絶縁膜14及びゲート絶縁膜4を貫通して形成された共通のコンタクトホールにおいて接続されている(図10(b)参照)。

【0090】この配線層40は、有機EL素子50の陽極形成領域に延び、図10(b)の断面構造と同様に第1平坦化絶縁層18に開口された1カ所のコンタクトホールを介して有機EL素子50の陽極52と接続されている。ここで、配線層40と陽極52と接続位置は、図12において、陽極52の画素長手方向の中央付近となっている。コンタクト位置は、図12のように限定されるわけではないが、図12のように陽極52の比較的中

央付近に近い位置に配置されることにより、金属電極と比較すると高抵抗なITOなどからなる陽極52の形成領域内での電流密度の平均化効果が得られ、各画素の発光面内での発光輝度の均一性を高めることが可能である。

【0091】図13に示す例では、第2TFT20の数を3とし、これら3つのTFT20-1、20-2、20-3を電源ラインVLと有機EL素子50の陽極52との間に並列接続している。3つの第2TFT20の能動層16は、一体であり、チャネル長方向は図中の行方向に設定されている。第2TFT20-1~3の各チャネル領域16c1~3は、互いにそのチャネル幅方向において、能動層16のパターンが開口されていることで分離されている。

【0092】この3つの第2TFT20は、ここでは、電源ラインVLと1カ所で接続され、また単一の配線層40により、有機EL素子50の陽極52とも1カ所で接続され、ゲート電極25は、3つのTFTについて共通であり、補助容量Csの第2電極8に電気的に接続され、かつ補助容量Cs付近から列方向に延びた金属配線によって構成されている。図13の構成例では、3つの第2TFT20-1~3と有機EL素子50とが1つのコンタクト部によって接続されており、有機EL素子50の形成領域に占めるコンタクト部の割合を低くでき、1画素当たりの開口率、つまり、発光面積を高くすることができる。

【0093】図14に示す例では、第2TFT20の数を4とし、これら4つのTFT20-1~4は、電気的には電源ラインVLと有機EL素子50の陽極52との間に並列接続されている。4つの第2TFT20の能動層16は、一体で構成され、各TFT20-1~4のチャネル長方向は、図12等と同様、画素領域の長手方向又はデータラインDLの延在方向に平行に設定され、4つがほぼ一直線上に並んでいる。

【0094】4つの第2TFT20-1~4は、ここでは、電源ラインVLと3カ所で接続され、第1、第2配線層40-1及び40-2により、有機EL素子50の陽極52と2カ所で接続されている。図14の構成例では、単一の能動層16の最も外側に位置するTFT20-1、20-4の各ソース領域16s1、16s4がそれぞれ単独で電源ラインVLと接続され、中央に位置するTFT20-2、20-3の各ソース領域16s2及び16s3が、共通で電源ラインVLに接続されている。第2TFT20-1及び20-2と、有機EL素子50とは、第2TFT20-1及び20-2の間から素子50に延びる第1配線層40-1にドレイン領域16d1及び16d2が接続され、この第1配線層40-1は有機EL素子50の形成領域に延び、素子の陽極52と接続されている。また、第2TFT20-3及び20-4と、有機EL素子50とは、第2TFT20-3及び20-4の間から素子50に延びる第2配線層40-2にドレイン領域16d3及び16d4が接続され、この第2配線層40-2は有機EL素子50の形成領域に延び、素子の陽極52と接続されている。このように、4つの第2TFT20-1~4と有機EL素子50とは2カ所のみ接続されており、4つの第2TFT20-1~4を設けることによる発光領域の減少を抑制している。

【0095】また、図14の構成においては、4つの第2TFT20-1~4を画素の長手方向に沿ってほぼ一直線上にチャネル長方向が向くように配置しているため、第2TFT20-1~4を効率的に1画素内に配置することを可能としている。

【0096】【実施形態4】次に、図15~図20を参照して、第2TFT20と有機EL素子50との接続構造について説明する。実施形態3において説明したように、有機EL素子50と第2TFT20とのコンタクト領域は、透明陽極52を透過し下方の基板1から外部に光を放射する方式(ボトムエミッション)の場合、非発光領域となることが多い。また、多くの集積回路などにおいては集積度の向上、表示装置であれば解像度の向上などを実現するためには、コンタクト面積をできる限り少なくすることが望まれる。このような観点からは、第2TFT20の能動層16と、有機EL素子50の陽極52とを直接接続する場合も、接続特性の向上のため直接接続せず金属接続層(A1層やCr層など)を介在させる場合においても、図15に示すように層間絶縁膜14の第1コンタクトホール70、第1平坦化絶縁層18の第2コンタクトホール72を重ねて形成することが好ましい。

【0097】しかし、複数のコンタクトホールを図15(a)に示されるように重ねて形成した場合、コンタクトホール合計段差(h70+h72)が大きくなり、コンタクトホール上に形成される層の表面平坦度が低下する。さらに、陽極エッジ領域における発光素子層51の

カバレッジ不良による陽極52と陰極57との短絡を防止するため、図15(a)に示すように陽極52のエッジ領域を覆う第2平坦化絶縁層61が採用される場合があるが、この第2平坦化絶縁層61は陽極52の中央領域では開口される。従って、第2平坦化絶縁層61の開口部は、上記第1及び第2コンタクトホール70及び72の近傍に形成されることとなり、発光素子層51の形成面は、さらにこの第2平坦化絶縁層61の開口による段差h74の影響も受けることとなる。

【0098】一方、有機EL素子50は、発光素子層51に電流を流すことで発光層55に含まれる発光性有機化合物を発光させており、発光素子層51の層内において、その厚さに大きな差があると、他より薄い部分で電界集中が起きやすく、そのような部分にダークスポットが発生しやすいことが知られている。ダークスポットは表示品質を低下させ、また素子駆動により拡大すること多いため、素子寿命を短くしてしまうことになる。従って、コンタクト領域の上層に有機EL素子50を形成する場合には、発光素子層51の形成面の平坦性をできるだけ高めることが要求され、発光素子層51が非常に凹凸の多い面に形成されることになる図15のようなコンタクト構造は発光素子層51の信頼性向上などの観点からは好ましくない。

【0099】図16は、以上をふまえ、発光素子層51の形成面での平坦性を高めた接続方法の例を示している。図16(a)は第2TFT20の能動層16と、有機EL素子50の陽極52とのコンタクト部分の断面構造、図16(b)は、このコンタクト部分の概略平面構造を示している。図16に示す接続構造は、陽極52のエッジ領域を覆う第2平坦化絶縁層61が存在すること、第2TFTがトップゲートである点を除き、実施形態1において説明した図8及び図9と共通し、配線層40と陽極52との接続位置が、配線層40と第2TFT20の能動層16との接続位置とずれて配置されている。このようなレイアウトを採用することで、配線層40と陽極52とのコンタクト領域では、陽極表面、つまり発光素子層51の形成面は、第2コンタクトホール72による段差h72の影響を受けるだけで、図15のように第1コンタクトホール70による段差h70の影響を受けない。従って、図15と図16の比較からも理解できるように、発光素子層形成面、特に発光層55が形成され各画素の発光領域における素子層形成面の平坦性の向上が図られている。

【0100】図17は、上記図16における発光素子層の形成面を更に平坦にするための方法を示している。図17に示す例では、図16と同様に、配線層40と有機EL素子50の陽極52とを接続する第2コンタクトホール72の形成位置を第1コンタクトホール70の形成位置からずらすと共に、第2平坦化絶縁層61によって第2コンタクトホール72を覆っている。従って、発光

層55の形成される領域では、第1コンタクトホール70はもちろんのこと第2コンタクトホール72による段差の影響も受けず、発光素子層形成面の平坦性を一段と向上することが可能となっている。また、第2平坦化絶縁層61は陽極52のエッジ領域を覆っているため陽極52と陰極57とのショートなども確実に防止されている。

【0101】ここで、有機EL素子の発光領域は、陽極52と陰極57とが間に配置される発光層55を挟んで対向する領域となり、陽極52と発光素子層51との間に第2平坦化絶縁層61が形成されている領域は発光しない。従って、図17に示す構成では、厳密には第2平坦化絶縁層61が陽極52のエッジだけでなく第2コンタクトホール72の上方まで覆うため、その分発光領域は減少することとなる。しかし、既に説明したように下層に遮光性の配線層40などが形成されていると、配線層40の形成領域は外部から見れば非発光領域となる。従って、図17のように第2平坦化絶縁層61が第2コンタクトホール72を覆う構造を採用してもそれによる1画素当たりの実際の発光面積の減少を抑制することができる。

【0102】第2平坦化絶縁層61によってコンタクトホールを覆う方法は、上述の図15のように第1及び第2コンタクトホール70、72が重ねて配置されるレイアウトに採用することによっても、発光素子層形成面の平坦性向上効果を発揮する。即ち、図18に示すコンタクト部の断面構造のように、第2TFT20の能動層16と有機EL素子50の陽極52とが重ねて形成された第1及び第2コンタクトホール70、72によって接続され、この2つのコンタクトホールによって陽極52の上面が深く窪んだ領域を第2平坦化絶縁層61で覆う。従って、コンタクトホール70及び72の上方における発光素子層形成面は、第2平坦化絶縁層61によって形成された平坦性の良い面となる。また、図18では2つのコンタクトホール70、72を同じ位置に形成することで、1画素内での素子配置効率が高く、また、発光領域の向上に寄与することも容易となる。

【0103】図19は更に別の発光素子層形成面の平坦化方法を説明している。図17と相違する点は、第2コンタクトホール72の形成領域において、陽極52上に第2平坦化絶縁層61ではなく、埋め込み層62を選択的に形成してコンタクトホールによる窪みを埋めていることである。このようにコンタクトホール72を覆う陽極52上に選択的に埋め込み層62を形成することによって、第2平坦化絶縁層61等を設けない場合であっても、コンタクトホール上の発光素子層形成面を平坦にすることができる。また、図20に示すように、第1及び第2コンタクトホール70、72を重ねて形成する場合に図19と同様に埋め込み層62を採用しても良い。図20では、2つのコンタクトホールが重ねて形成される

領域において、陽極 5 2 上に埋め込み層 6 2 を選択的に形成しており、2つのコンタクトホールによって形成される深い窪みが埋められている。図 19 及び図 20 のいずれにおいても、発光素子層 5 1 は、コンタクトホール形成領域においては、埋め込み層 6 2 の平坦な面の上に形成されることとなり、この領域での発光素子層の不具合発生を防止することができる。

【0104】なお、第 2 平坦化絶縁層 6 1 及び上記埋め込み層 6 2 の材質は上面が平坦となればどのようなものでも良いが、発光素子層 5 1 と反応したり含水性でなく安定で絶縁性の材料が良い。例えばポリイミドや、HMOSO、TOMCAT、TEOS などを用いることができる。

【0105】

【発明の効果】以上説明したように、本発明においては、有機 EL 素子などの被駆動素子に電力を供給するトランジスタの特性のばらつきを緩和することが可能で、被駆動素子への供給電力のばらつきを平均化し、被駆動素子における発光輝度ばらつき等を防止することができる。

【0106】また、本発明では、被駆動素子とこの素子に電力供給するトランジスタとを最小限のコンタクト数で接続することで、限られた面積内に効率よく必要なトランジスタや素子などを配置できる。従って、被駆動素子として例えば EL 素子などが採用される場合に 1 画素単位などにおける発光面積率を向上することができる。

【0107】さらに、本発明では、被駆動素子を形成する面の平坦性を向上することができ、被駆動素子の信頼性を向上することが可能となる。

【図面の簡単な説明】

【図 1】 アクティブマトリクス型有機 EL 表示装置の 1 画素の回路構成を示す図である。

【図 2】 本発明の実施形態 1 のアクティブマトリクス型有機 EL 表示装置の 1 画素あたりの回路構成例を示す図である。

【図 3】 TFT の I-V 特性を示す図である。

【図 4】 本発明及び従来の回路構成によって実現される効果を示す図である

【図 5】 本発明の実施形態 1 のアクティブマトリクス型有機 EL 表示装置の 1 画素あたりの別の回路構成を示す図である。

【図 6】 本発明の実施形態 1 のアクティブマトリクス型有機 EL 表示装置の 1 画素あたりの別の回路構成を示す図である。

【図 7】 本発明の実施形態 1 のアクティブマトリクス型有機 EL 表示装置の 1 画素あたりのさらに別の回路構成を示す図である。

【図 8】 図 7 に示す回路構成を備えた本実施形態 1 に

係るアクティブマトリクス型有機 EL パネルの平面構成図である。

【図 9】 図 8 の A-A、B-B、C-C 線に沿った断面構成を示す図である。

【図 10】 実施形態 2 に係るアクティブマトリクス型有機 EL パネルの 1 画素当たりの平面図及び断面図である。

【図 11】 実施形態 2 に係るアクティブマトリクス型有機 EL パネルの 1 画素当たりの他の平面構成例である。

【図 12】 実施形態 3 に係るアクティブマトリクス型有機 EL パネルの 1 画素当たりの平面図である。

【図 13】 実施形態 3 に係るアクティブマトリクス型有機 EL パネルの 1 画素当たりの他の平面構成例である。

【図 14】 実施形態 2 に係るアクティブマトリクス型有機 EL パネルの 1 画素当たりの他の平面構成例である。

【図 15】 第 2 TFT の能動層 1 6 と有機 EL 素子 5 0 の陽極 5 2 とのコンタクト部における断面及び平面構造を示す図である。

【図 16】 実施形態 3 に係る第 2 TFT の能動層 1 6 と有機 EL 素子 5 0 の陽極 5 2 とのコンタクト部における断面及び平面構造例を示す図である。

【図 17】 実施形態 3 に係る第 2 TFT の能動層 1 6 と有機 EL 素子 5 0 の陽極 5 2 とのコンタクト部における他の断面構造例を示す図である。

【図 18】 実施形態 3 に係る第 2 TFT の能動層 1 6 と有機 EL 素子 5 0 の陽極 5 2 とのコンタクト部における他の断面構造例を示す図である。

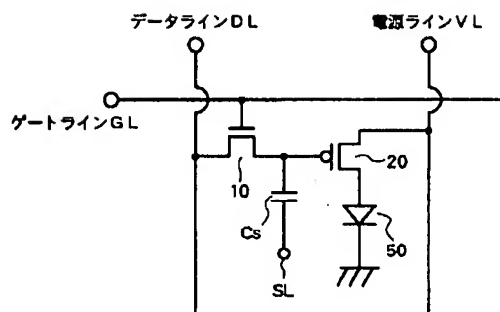
【図 19】 実施形態 3 に係る第 2 TFT の能動層 1 6 と有機 EL 素子 5 0 の陽極 5 2 とのコンタクト部における他の断面構造例を示す図である。

【図 20】 実施形態 3 に係る第 2 TFT の能動層 1 6 と有機 EL 素子 5 0 の陽極 5 2 とのコンタクト部における他の断面構造例を示す図である。

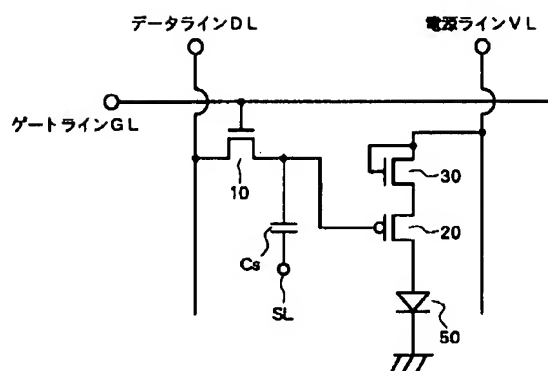
【符号の説明】

1 基板（透明基板）、2、25、35 ゲート電極、4 ゲート絶縁膜、6、16 能動層（p-si 膜）、10 第 1 TFT（スイッチング用 TFT）、14 層間絶縁膜、18 平坦化絶縁層、20、22、24 第 2 TFT（素子駆動用 TFT）、30、32、34 補償用 TFT、40、42 コネクタ（配線層）、41 金属接続層、50 有機 EL 素子、51 発光素子層、52 陽極、53 第 1 ホール輸送層、54 第 2 ホール輸送層、55 有機発光層、56 電子輸送層、57 陰極、GL ゲートライン、VL 電源ライン、DL データライン。

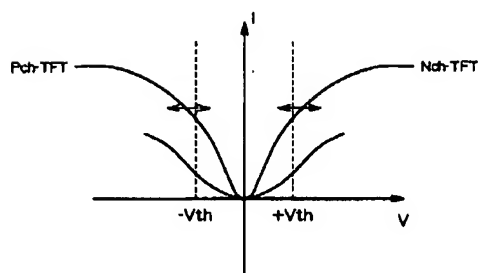
【図1】



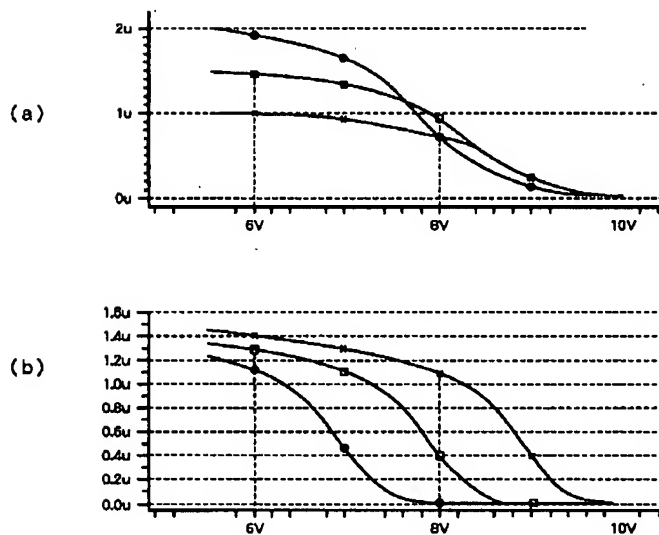
【図2】



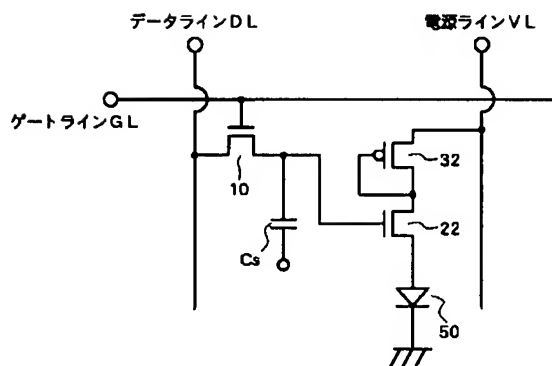
【図3】



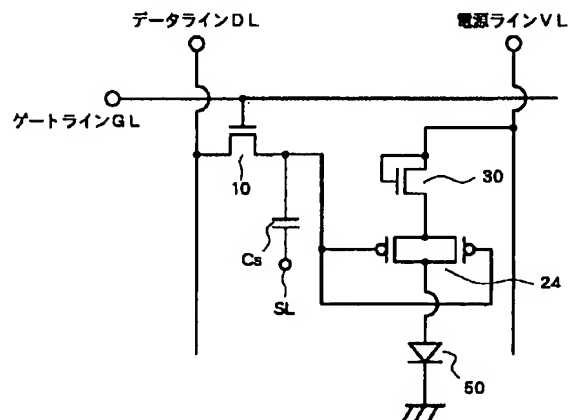
【図4】



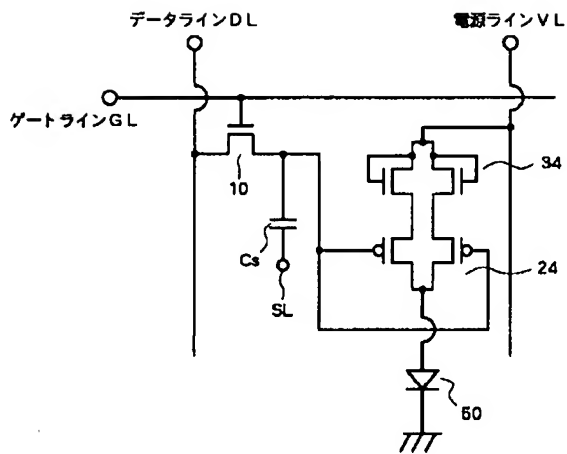
【図5】



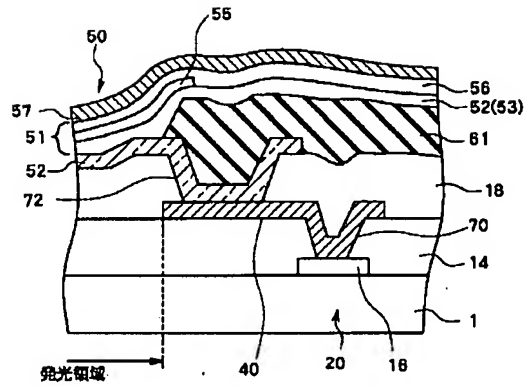
【図6】



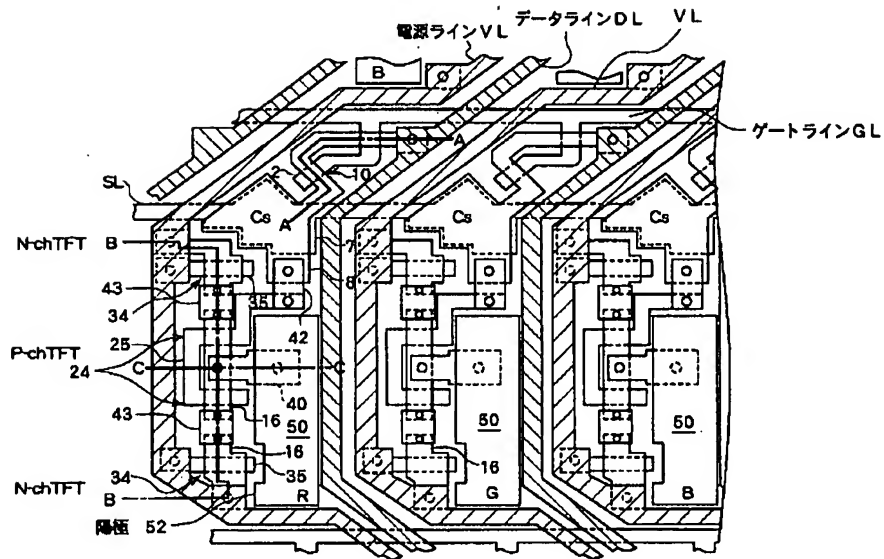
【図7】



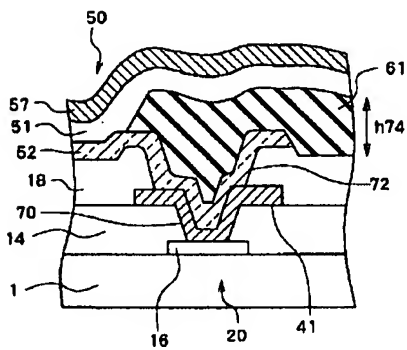
【図17】



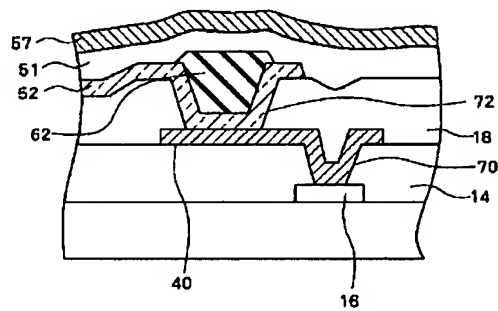
【図8】



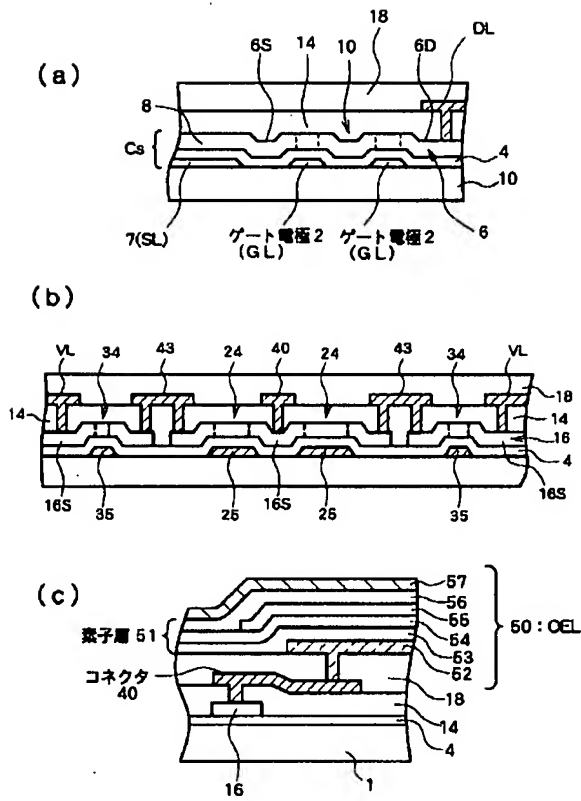
【図18】



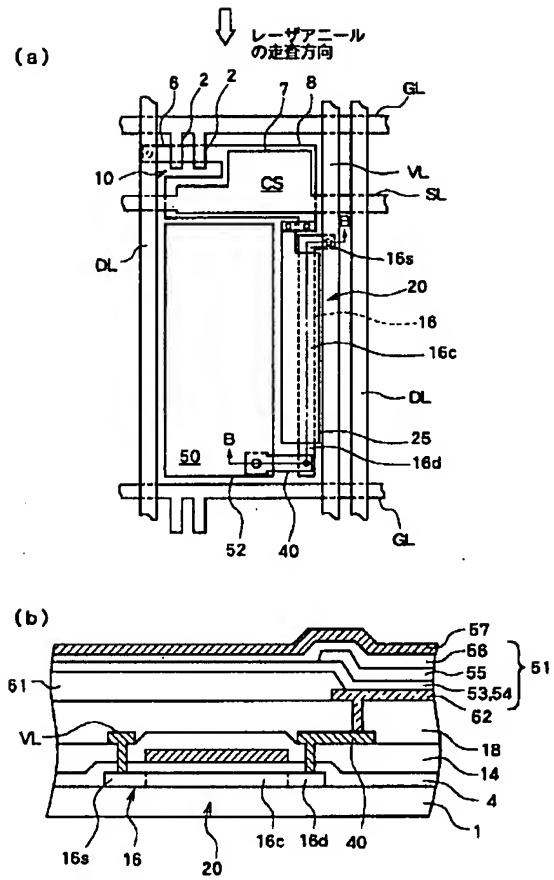
【図19】



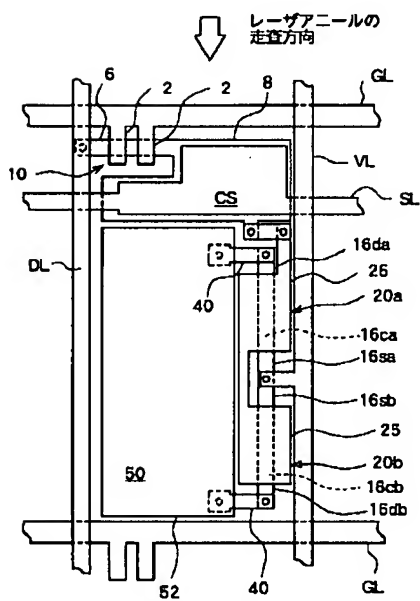
【図9】



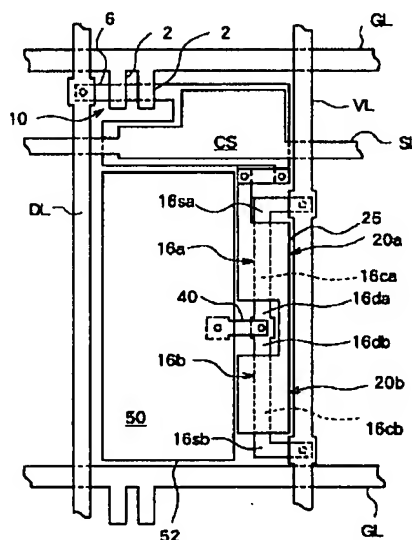
【図10】



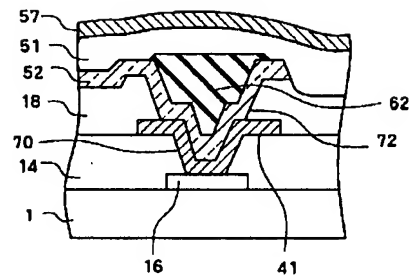
【図11】



【図12】



【図20】



フロントページの続き

(51) Int. Cl.⁷
H 0 5 B 33/14

識別記号

F I
H 0 1 L 29/78

タームコード (参考)

6 1 2 D
6 2 7 G

F ターム (参考) 3K007 AB00 AB02 BA06 CB01 DA00
DB03 EB00 FA01
5C094 AA03 AA25 AA53 AA55 BA03
BA29 CA19 EA04 EA07
5F048 AC04 BA16 BB09 BE08 BF02
BF12 BF16 BC07
5F052 AA02 BA01 BA07 DA02 JA01
5F110 AA30 BB01 CC02 CC08 EE28
GG02 GG13 GG26 HJ01 HL03
HL04 HL07 HM18 NN73 PP03
PP05 PP06

【公報種別】 公開特許公報の訂正

【部門区分】 第６部門第２区分

【発行日】 平成１４年１０月３日（２００２．１０．３）

【公開番号】 特開２００２－１７５０２９（Ｐ２００２－１７５０２９Ａ）

【公開日】 平成１４年６月２１日（２００２．６．２１）

【年通号数】 公開特許公報１４－１７５１

【出願番号】 特願２００１－２７９８０２（Ｐ２００１－２７９８０２）

【訂正要旨】 分類誤載につき下記の通り訂正する。

【記】

【国際特許分類第７版】

【誤】

G09F 9/30 365 Z

H01L 21/20

21/336

27/08 331 E

29/786

H05B 33/14 A

【正】

G09F 9/30 365 Z

338

H01L 21/20

21/336

27/08 331 E

29/786

H05B 33/14 A